

全国高等学校计算机教育研究会 全国大学生计算机系统能力大赛组委会

2026 年全国大学生计算机系统能力大赛 CPU 设计赛（龙芯杯）个人赛（MIPS） 技术方案

本技术方案旨在说明 2026 年全国大学生计算机系统能力大赛 CPU 设计赛（龙芯杯）个人赛（MIPS）的要求、目标、比赛内容、评分标准等技术方面的规定，帮助各参赛队更好地参赛。

一、评价方式的基本说明

第 1 条 除本技术方案特别要求、规定和禁止事项外，各参赛选手自行决定 CPU 微架构、总线结构等细节。

第 2 条 大赛鼓励各参赛选手综合运用各种知识（如流水线、超标量、预测、Cache 等）并充分利用实验板硬件资源以尽可能提高 CPU 运行性能。

第 3 条 大赛鼓励各参赛选手综合运用多种知识去构思并实现一个综合性的软硬件系统，以展示构造系统的想象力与能力。

第 4 条 为展示参赛选手的设计水平、增加竞赛的对抗性，进入决赛的参赛选手还需要现场完成一个编程任务，并在自己的 CPU 上运行得出结果。

二、初赛评分标准

第 5 条 比赛内容。开发支持 MIPS 基准指令集的 MIPS 微系统。

- 初赛阶段的 MIPS 微系统可以使用 FPGA 片内存储器，指令存储器应不小于 8KB，数据存储器应不小于 8KB。

2. 初赛阶段的 MIPS 微系统也可以使用实验板上的 8MB SRAM 存储器作为程序、数据存储。
3. CPU 核能通过接口与各 I/O 设备互联通信。

第 6 条 功能测试。依次通过以下 3 个等级测试：

- 一级：实现支持 MIPS-C1 指令集的 CPU,运行存放在 SRAM 上的斐波那契数列程序。
- 二级：实现支持 MIPS-C2 指令集和 3 条随机分配的指令的 CPU，支持 UART。
- 三级：实现支持 MIPS-C3 指令集的 CPU，运行大赛提供的 MIPS 监控程序。

第 7 条 性能测试。在通过三级功能测试的前提下，用监控程序加载基准测试程序并运行，以测试程序执行时间为评价依据。各参赛选手中基准测试程序执行时间最小者的性能测试分值被定义为 100 分，最大者的性能测试分值被定义为 0 分；其余各选手成绩被映射至 [0,100]区间。性能测试分值越大越好。

第 8 条 各参赛队总成绩计算方法如下：

$$\text{总成绩} = \text{功能测试得分} + \text{性能测试得分}$$

三、决赛评分标准

第 9 条 比赛内容。大赛组委会现场公布一项编程任务，选手自行选择语言编程，并生成 MIPS 二进制码。生成的二进制码必须能够在选手自己的 CPU 上运行，并能够根据输入数据，计算得出正确答案。在输入数据相同的情况下，比较各选手的程序执行时间。执行时间最小者的编程任务成绩被定义为 100 分，最大者的编程任务成绩被定义为 0 分；其余各 a 选手成绩被映射至 [0,100]区间。

第 10 条 决赛总成绩 100 分，各分项成绩权重如下：

1. 基准测试程序运行成绩：70%
2. 编程任务成绩：30%

四、参赛作品提交

第 11 条 各参赛选手预赛阶段需要在大赛实验提交完整的设计内容：

1. MIPS 微系统硬件设计的完整工程文件（必须包含全部 VerilogHDL 源代码、FPGA 管脚约束文件和项目文件）。
2. MIPS 微系统设计文档。

第 12 条 如果需要使用第三方 IP 或者借鉴他人的部分源码，必须在设计文档中予以明确说明。

第 13 条 参赛选手必须严守学术诚信。一经发现代码抄袭或技术抄袭等学术不端行为，取消参赛选手的参赛资格。

五、测试程序

第 14 条 大赛提供的测试程序包括指令测试程序、MIPS 监控程序和性能基准测试程序，分别用于测试 CPU、MIPS 微系统能否正确的执行基准指令集及 MIPS 微系统的性能。

六、软硬件系统规范

第 15 条 MIPS 基准指令集是 MIPS32 标准指令集的子集，只包括定点指令（含部分 CP0 相关指令）和中断、例外功能，不含浮点及 MMU 等相关指令。

第 16 条 大赛监控程序所要求指令只包括定点指令（不含除法和 CP0 相关指令），不含浮点及 MMU 等相关指令。

第 17 条 编程任务由大赛组委会在决赛阶段发布。保证任务所需的指令和计算资源不多于性能基准测试程序。

第 18 条 为确保大赛提供的测试程序可以正确运行，MIPS 微系统必须满足大赛文档中对于地址空间的要求。

第 19 条 大赛指定的 FPGA 实验设备主要参数如下：

1. FPGA 型号：XILINX 公司 Artix-7 FPGA，XC7A200T。
2. 异步 SRAM：两组，每组 32 位 4MB。

3. NOR FLASH: 16 位, 8MB。
4. 串行接口: 1 个。
5. 7 段数码管: 2 个。
6. LED: 16 个。
7. 拨动开关: 32 个。
8. 按钮: 6 个。
9. 数字图像接口: 1 个。

第 20 条 EDA 及软件开发环境如下:

1. 大赛指定龙芯计算机系统能力远程实验平台作为 MIPS 运行环境。
2. 大赛指定龙芯 MIPS 交叉编译工具链作为汇编器。
3. 大赛指定 XILINX 公司的 Vivado2019.2 为 FPGA 综合工具。
4. 除汇编器和 FPGA 综合工具为大赛指定工具外, 各参赛选手可使用其他各种开发工具。

七、大赛网站

第 21 条 大赛网站网址为: <https://cpu.xtnl.org.cn/#/>、
<https://www.nscscc.com/>。

第 22 条 大赛网站提供多种软件开发工具及设计资料, 包括但不限于下列内容:

1. MIPS 微系统体系结构规范。
2. MIPS 基准指令集。
3. MIPS 监控程序及其文档。
4. 基准测试程序及其文档。
5. 龙芯龙芯计算机系统能力远程实验平台规范, 及 FLASH 编程工具。
6. 龙芯 MIPS 交叉编译工具链使用手册。
7. 串行接口参考实现的 VerilogHDL 源码。

八、其他

本技术方案的最最终解释权归全国大学生计算机系统能力大赛组委会和CPU设计赛技术委员会。