# 决赛提交

请基于**chiplab 仓库chiplab\_diff分支 nscscc\_readme.md的“4.3 基于Vivado进行综合实现”**，进行生成功能测试、性能测试的bit。

https://gitee.com/loongson-edu/chiplab/blob/chiplab\_diff/nscscc\_readme.md#43-%E5%9F%BA%E4%BA%8Evivado%E8%BF%9B%E8%A1%8C%E7%BB%BC%E5%90%88%E5%AE%9E%E7%8E%B0

决赛提交包是基于预赛提交包的扩充。

## 提交作品格式

决赛提交的作品需包含：决赛分数报告、设计文档、各测试项生成的bit流文件、基于axi的mycpu源码和决赛展示内容。

提交目录参考决赛发布包（***nscscc2024\_team\_final\_submission***）里的***submission/MOU\_1\_zhangsan***，有以下注意事项：

1. 不要提交整个决赛发布包，只需要将***submission/MOU\_1\_zhangsan***按格式整理好后打包提交即可。
2. 请将***MOU\_1\_zhangsan***文件夹按“**学校英文简写\_队伍编号\_队长名拼音**”的格式进行**更名**。
3. 整理设计文档：

将CPU设计文档整理为pdf格式，复制到***submission/MOU\_1\_zhangsan/***目录里。

1. 填写功能和性能得分：

将功能和性能得分填写到***submission/MOU\_1\_zhangsan/score\_final.xlsx***文件里，请注意填写队名、学校名、队员和指导老师信息。**注意决赛性能分计算与预赛不同**。

1. 整理决赛作品最后的bit流文件：

有2个bit流文件：功能测试bit、性能测试bit，请分别放在***submission/MOU\_1\_zhangsan/bit/***目录里的对应子目录下。

请确保提交的bit流文件没有错误。

1. 整理决赛作品的CPU设计源码：

完成AXI接口CPU的同学，请将CPU设计源码放在***submission/MOU\_1\_zhangsan/src/mycpu/***目录中，同时将性能测试的clk\_pll IP定制文件（***soc\_axi\_perf/rtl/xilinx\_ip/clk\_pll/clk\_pll.xci***）复制到 ***submission/MOU\_1\_zhangsan/src/perf\_clk\_pll.xci***。

1. **千万注意，CPU设计源码中如果调用了Xilinx IP（比如调用Xilinx Block RAM IP），请将这些IP的定制文件\*.xci同样复制到*submission/MOU\_1\_zhangsan/src/mycpu/*目录中*。***也就是提交的mycpu源码应当包含除了大赛发布包提供的SoC相关文件外的你们所有新增的设计文件。
2. **整理决赛的展示内容**：将其放在***submission/MOU\_1\_zhangsan/show/***目录中。

目录格式自行组织，**要求用于展示的myCPU设计与功能/性能测试里的myCPU完全一致**。

决赛赛提交的作品的目录格式如下（***submission/MOU\_1\_zhangsan***）：

|  |  |
| --- | --- |
| |--score\_final.xlsx | Excel表格，包含功能测试、性能测试得分的计算 |
| |--**design.pdf** | PDF文件，为myCPU设计报告 |
| |--show/ | 目录，决赛展示内容，要求myCPU与src/目录里完全一致 |
| |--bit/ | 目录，存放各项测试生成好的bit文件 |
| |--src/ | 目录，AXI目录 |
| | |--mycpu | 目录，存放AXI相关工程**新增的源码**文件，如果调用了Xilinx IP，本目录下只提交IP的xci文件。注意不要忘记自行调用的Xilinx IP的xci文件。 |
| | |--perf\_clk\_pll.xci | 复制性能测试的clk\_pll.xci，更名为perf\_clk\_pll.xci。不要忘记这一步。 |

## 提交方式

整个提交的压缩包应当尽量小，提交方式：

1. 请将***MOU\_1\_zhangsan***文件夹按“**学校英文简写\_队伍编号\_队长名拼音**”的格式进行**更名**，并压缩，压缩包格式为ZIP格式，压缩之后的名称应与文件夹名称一致，如“MOU\_1\_zhangsan.zip”，不能包含中文。（如果一个学校只有一个队伍，则自动编号为1；如果有两个队伍，不知道编号，请相互协商分为1、2队）。
2. 压缩包[请直接以邮件附件形式发送到](mailto:请直接以邮件附件形式发送到service@nscscc.org)***[service@nscscc.c](mailto:请直接以邮件附件形式发送到service@nscscc.org)om***，邮件名为：【2024决赛作品提交】【xx大学】【x队】【队长名】【日期】，如【2024决赛作品提交】【某大学】【1队】【张三】【20240817】。多次提交，以最后提交为准。

## 提交截止时间

决赛提交截止时间：2024年8月13日13:59:59。作品展示视频及设计文档通过在线问卷提交，截止时间为2024年8月14日11:59:59 （在线问卷地址后续发在微信群里）。逾期不接收提交，视为放弃决赛。

## 决赛性能分计算变更说明

今年大赛的决赛的性能分占比40%，决赛性能分和预赛性能分计算方式不同。

决赛性能分分为两个维度：处理器主频和程序执行周期数，各占50%。

1. 处理器主频：各队伍提交的作品中指定的CPU时钟的频率（要求在vivado的implementation后WNS为正值）。
2. 程序执行周期数：利用CPU内部测量基准测试程序运行的时钟周期数。该计数值和CPU频率成正比，对于相同测试程序，该值可代表CPU执行基准测试程序的CPI（每条指令的平均执行周期数，也就是IPC的倒数）。

因此决赛的性能测试程序上板时，需注意：最右侧5个拨码开关指定运行的基准测试程序，按下复位键开始运行，运行通过后，使用最左侧拨码开关控制数码管显示相应的计数结果：

1. 最左侧拨码开关拨下，数码管显示CPU内部计数结果。
2. 最左侧拨码开关拨上，数码管显示SoC中CONFREG模块的Timer的计数结果（该值与预赛中性能计数方式的结果接近）。

因此决赛得分请记录在决赛发布包中的***submission/MOU\_1\_zhangsan/score\_final.xlsx***。同时新的计算方式。

## 决赛设计文档

决赛设计文档会提供给专家评阅，可能会作为专家评分标准之一，请自行组织内容。

## 注意事项

1. 请决赛提交时千万注意格式，请在提交前完成第1.2节的内容。
2. 请继续保持myCPU的主频没有负的WNS。
3. 如使用了System Verilog 语法请将文件后缀改成.sv。
4. Include文件时，请注意文件名大小写。
5. 决赛现场指令集答题，需要大家自行准备：电脑、实验箱、决赛提交包里的soc\_axi环境(CPU频率尽量设低，减少综合实现的时间)。
6. 决赛提交的用于功能/性能测试的myCPU、用于展示的myCPU和现场指令集答题时的myCPU要求完全一致。